

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 21/768



[12] 发明专利申请公开说明书

[21] 申请号 200410002980.5

[43] 公开日 2004 年 8 月 25 日

[11] 公开号 CN 1523658A

[22] 申请日 2004.1.21

[21] 申请号 200410002980.5

[30] 优先权

[32] 2003. 2. 21 [33] JP [31] 43662/2003

[71] 申请人 株式会社瑞萨科技

地址 日本东京都

共同申请人 松下电器产业株式会社

[72] 发明人 西冈康隆 坂井淳二郎 友久伸吾

松本晋 岩本文男 山中通成

[74] 专利代理机构 中国专利代理(香港)有限公司

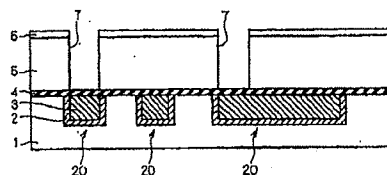
代理人 张天安 郑建晖

权利要求书 3 页 说明书 17 页 附图 13 页

[54] 发明名称 电子器件的制造方法

[57] 摘要

提供一种抑制抗蚀剂图形的析像不良的发生,降低因析像不良引起的不良配线的发生的具有埋入多层配线结构的半导体装置。在形成达到蚀刻阻挡膜(4)的通孔(7)之后,在保持通孔(7)的开口状态不变的状态下,进行 300 ~ 400℃ 的退火处理。退火方法可以采用热板方法,也可以采用热处理炉方法,为了对抑制制造完毕的下层配线(20)的影响,利用热板进行 5 分钟至 10 分钟的短时间加热。借此,将滞留在上部保护膜(6)与低介电常数层间绝缘膜(5)的界面上的副产物以及滞留在蚀刻阻挡膜(4)与低介电常数层间绝缘膜(5)的界面上的副产物放出,可以减少副产物的残留量。



ISSN 1008-4274

知识产权出版社出版

1. 一种电子器件的制造方法, 是包括衬底层, 配置在前述衬底层上的绝缘体的蚀刻阻挡膜, 配置在前述蚀刻阻挡膜上的层间绝缘膜, 埋设在前述衬底层的上主面内的下层配线, 埋设在前述层间绝缘膜的上主面内的上层配线, 电连接前述下层配线和前述上层配线的接触部的电子器件的制造方法, 包括以下工序:

(a) 选择性地除去前述层间绝缘膜, 形成贯穿前述层间绝缘膜、达到前述蚀刻阻挡膜上的孔的工序,

(b) 在开有前述孔的状态下进行热处理的工序,

10 (c) 在前述孔内填充用深色紫外线固化的有机树脂, 用前述深色紫外线使前述有机树脂固化形成埋入插塞的工序,

(d) 利用化学放大抗蚀剂作为蚀刻掩模, 选择性地除去前述层间绝缘膜及前述埋入插塞, 在前述层间绝缘膜的前述上主面内形成埋入前述上层配线用的槽图形的工序,

15 (e) 除去残留在前述孔内的前述埋入插塞, 获得前述槽图形和前述孔连通的结构的工序,

(f) 选择性地除去前述蚀刻阻挡膜, 使前述下层配线露出的工序,

20 (g) 将导电体材料填充到前述槽图形及前述孔内, 同时形成前述上层配线及前述接触部的工序.

2. 一种电子器件的制造方法, 是包括衬底层, 配置在前述衬底层上的绝缘体的蚀刻阻挡膜, 配置在前述蚀刻阻挡膜上的层间绝缘膜, 埋设在前述衬底层的上主面内的下层配线, 埋设在前述层间绝缘膜的上主面内的上层配线, 电连接前述下层配线和前述上层配线的接触部的电子器件的制造方法, 包括以下工序:

(a) 选择性地除去前述层间绝缘膜, 形成贯穿前述层间绝缘膜、达到前述蚀刻阻挡膜上的孔的工序,

(b) 在开有前述孔的状态下进行热处理的工序,

30 (c) 在前述孔内填充SOG材料, 进行50~200℃的热处理, 使前述SOG材料交联, 在前述孔内形成埋入插塞的工序,

(d) 利用化学放大抗蚀剂作为蚀刻掩模, 选择性地除去前述层间绝缘膜及前述埋入插塞, 在前述层间绝缘膜的前述上主面内形成埋入

前述上层配线用的槽图形的工序，

(e) 除去残留在前述孔内的前述埋入插塞，获得前述槽图形和前述孔连通的结构的工序，

(f) 选择性地除去前述蚀刻阻挡膜，使前述下层配线露出的工
5 序，

(g) 将导电体材料填充到前述槽图形及前述孔内，同时形成前述上层配线及前述接触部的工序。

3. 如权利要求1或2所述的电子器件的制造方法，前述层间绝缘膜是包含硅，氧，碳以及氢，作为主骨架具有有硅氧键的介电常数在3.0
10 以下的绝缘膜。

4. 如权利要求3所述的电子器件的制造方法，前述层间绝缘膜是甲基倍半硅氧烷膜或SiOC膜。

5. 如权利要求2所述的电子器件的制造方法，前述工序(c)包括将氢倍半硅氧烷作为前述SOG材料填充到前述孔内的工序。

15 6. 如权利要求5所述的电子器件的制造方法，前述工序(c)包括进行10分钟以下的热处理的工序。

7. 如权利要求1或2所述的电子器件的制造方法，

前述电子器件进一步包括配置在前述层间绝缘膜的主面上的上部保护膜，

20 前述工序(a)包括以也贯穿前述上部保护膜的方式形成前述孔的工序。

8. 如权利要求7所述的电子器件的制造方法，

在前述工序(c)与(d)之间，包括

以跨越前述上部保护膜上及前述埋入插塞上的方式形成防反射膜
25 的工序，

前述工序(d)包括通过选择性地除去前述防反射膜，形成前述槽图形的工序。

9. 如权利要求1或2所述的电子器件的制造方法，

前述电子器件包括在前述层间绝缘膜的内部形成规定前述槽图形
30 的深度的、槽图形形成用的蚀刻阻挡膜，

前述工序(a)包括以贯穿前述形成槽图形形成用的蚀刻阻挡膜的方式形成前述孔的工序，

前述工序(d)包括以利用前述槽图形形成用的蚀刻阻挡膜将蚀刻停止的方式设定蚀刻条件的工序。

10. 如权利要求1或2所述的电子器件的制造方法, 在前述工序(b)与(c)之间包括进行利用硅烷偶合剂的疏水处理的工序。

5 11. 如权利要求1或2所述的电子器件的制造方法,

前述层间绝缘膜具有将配置在下层侧的氧化硅膜以及配置在上层侧的包含硅、氧、碳及氢、作为主骨架具有有硅氧键的介电常数在3.0以下的绝缘膜叠层的双层结构,

前述绝缘膜的厚度具有相当于前述槽图形的深度的厚度。

10 12. 如权利要求1或2所述的电子器件的制造方法, 前述蚀刻阻挡膜具有将配置在下层侧的第一膜以及配置在上层侧、介电常数比前述第一膜低的第二膜叠层的双层结构。

电子器件的制造方法

技术领域

5 本发明涉及电子器件的制造方法，特别是涉及具有埋入的多层配线结构的电子器件的制造方法。

背景技术

在具有埋入的多层配线结构的半导体装置的制造方法中，近来，
为了进行将层间绝缘膜夹持在其间地配置的底层的结构与上层配线的
10 电连接，采用称之为双重金属镶嵌（dual-damascene）法的方法。这种方法是一种同时形成贯穿层间绝缘膜、到达下层的结构的插塞和上层配线的方法，在专利文献1中公开了它的一个例子。

即，在专利文献1中，列举了在贯穿层间绝缘膜达到半导体基板的
接触孔内填充抗蚀剂材料，通过紫外线照射等使该抗蚀剂材料固化，
15 然后，通过蚀刻，在层间绝缘膜的表面内形成构成上层配线用的配线槽的例子。

【专利文献1】特开2000-269326号公报（第四栏，图1~8）

在最近的半导体装置的制造方法中，为了形成线宽在 $0.3\mu\text{m}$ 以下的
微细的抗蚀剂图形，作为曝光光源，使用波长为248nm的KrF准分子激
20 光器，以及波长为193nm的ArF准分子激光器，对于成为感光剂的抗蚀剂材料，在大多数情况下使用利用触媒反应的化学放大抗蚀剂（chemically amplified resist）。

化学放大抗蚀剂，具有通过感光产生氢离子，将其作为触媒使抗
蚀剂树脂进行热反应，将图形进行析像的结构，但在使用这种化学放
25 大抗蚀剂的情况下，连接到孔洞图形上，特别是孤立的孔洞图形上及密集配置的孔洞图形的最外周的孔洞上的配线图形不能正常地析像，有引起所谓抗蚀剂中毒的现象的可能性。

本发明为了解决上述问题而提出的，其目的是，提供一种抑制抗
蚀剂图形的析像不良的发生，降低因析像不良引起的不良配线发生
30 的、具有埋设的多层配线结构的电子器件。

发明内容

根据本发明技术方案1所述的电子器件的制造方法是一种包括衬

底层，配置在前述衬底层上的绝缘体的蚀刻阻挡膜，配置在前述蚀刻阻挡膜上的层间绝缘膜，埋设在前述衬底层的上主面内的下层配线，埋设在前述层间绝缘膜的上主面内的上层配线，电连接前述下层配线和前述上层配线的接触部的电子器件的制造方法，包括以下工序：选
5 择性地除去前述层间绝缘膜，形成贯穿前述层间绝缘膜、达到前述蚀刻阻挡膜上的孔的工序(a)，在开有前述孔的状态下进行热处理的工序(b)，在前述孔内填充用深色紫外线固化的有机树脂，用前述深色紫外线使前述有机树脂固化形成埋入插塞的工序(c)，利用化学放大抗蚀剂作为蚀刻掩模，选择性地除去前述层间绝缘膜及前述埋入插塞，在前述层间绝缘膜的前述上主面内形成埋入前述上层配线用的槽
10 图形的工序(d)，除去残留在前述孔内的前述埋入插塞，获得前述槽图形和前述孔连通的结构工序(e)，选择性地除去前述蚀刻阻挡膜，使前述下层配线露出的工序(f)，将导电体材料填充到前述槽图形及前述孔内，同时形成前述上层配线及前述接触部的工序(g)。

15 根据本发明技术方案2所述的电子器件的制造方法是一种包括衬底层，配置在前述衬底层上的绝缘体的蚀刻阻挡膜，配置在前述蚀刻阻挡膜上的层间绝缘膜，埋设在前述衬底层的上主面内的下层配线，埋设在前述层间绝缘膜的上主面内的上层配线，电连接前述下层配线和前述上层配线的接触部的电子器件的制造方法，包括以下工序：选
20 择性地除去前述层间绝缘膜，形成贯穿前述层间绝缘膜、达到前述蚀刻阻挡膜上的孔的工序(a)，在开有前述孔的状态下进行热处理的工序(b)，在前述孔内填充SOG材料，进行50~200℃的热处理，使前述SOG材料交联，在前述孔内形成埋入插塞的工序(c)，利用化学放大抗蚀剂作为蚀刻掩模，选择性地除去前述层间绝缘膜及前述埋入插塞，在前述层间绝缘膜的前述上主面内形成埋入前述上层配线用的槽
25 图形的工序(d)，除去残留在前述孔内的前述埋入插塞，获得前述槽图形和前述孔连通的结构工序(e)，选择性地除去前述蚀刻阻挡膜，使前述下层配线露出的工序(f)，将导电体材料填充到前述槽图形及前述孔内，同时形成前述上层配线及前述接触部的工序(g)。

30 根据本发明技术方案1所述的电子器件的制造方法，由于在形成贯穿层间绝缘膜的孔之后进行热处理，所以，放出存在于绝缘体的蚀刻阻挡膜与层间绝缘膜的界面上的副产物，可以减少副产物残留量。因

此，可以防止为了形成埋入上层配线而槽图形所使用的化学放大抗蚀剂因副产物而钝化，可以防止成为抗蚀剂阻挡膜的析像不良的原因的抗蚀剂中毒现象的发生。其结果是，抑制抗蚀剂图形的析像不良的发生，可以获得降低因析像不良引起的不良配线的发生的具有埋入多层配线结构的半导体装置。并且，这时，由于吸附在形成于孔的内壁面上的恶化层内的水分也被放出，可以将恶化层的表面状态改性，所以，可以防止因恶化层的存在引起的抗蚀剂中毒现象的加速。此外，由于在孔内配置埋入插塞，例如，在层间绝缘膜上形成防反射剂时，没有必要由受到种类限制的防反射剂填充孔，可以使用材料选择幅度很宽的有机树脂，所以，有很好的方便性，此外，可以扩大电子器件的结构选择幅度。进而，由于不必在孔内填充防反射剂，所以，可以降低依赖于孔的密度的防反射膜的膜厚的偏差。

根据本发明技术方案2所述的电子器件的制造方法，由于在形成贯穿层间绝缘膜的孔之后进行热处理，所以存在于绝缘体的蚀刻阻挡膜于层间绝缘膜的界面上的副产物被放出，可以减少副产物的残留量。因此，可以防止形成埋入上层配线的槽所使用的化学幅度抗蚀剂因副产物而钝化，可以防止成为抗蚀剂的析像不良的原因的抗蚀剂中毒现象的发生。其结果是，可以抑制抗蚀剂图形的析像不良的发生，能够获得减少因析像不良引起的不良配线的发生的具有埋入多层配线结构的半导体装置。此外，这时，由于吸附在形成于孔的内壁面上的恶化层内的水分也被放出，可以将恶化层的表面状态改性，所以，可以防止因恶化层的存在引起的抗蚀剂中毒现象的加速。此外，由于在孔内配置埋入插塞，所以，例如，在层间绝缘膜上形成防反射剂的情况下，没有必要利用种类受到限制的防反射剂填充孔，可以使用材料选择幅度很宽的SOG材料，有很好的方便性，此外，还可以扩大电子器件的结构的选择幅度。进而，由于不必在孔内填充防反射剂，所以，可以降低依赖于孔的密度的防反射膜的膜厚的偏差。用SOG材料构成的埋入插塞具有疏水性，并且具有更有效地抑制副产物经由孔扩散的特性，所以，可以更有效地防止由于抗蚀剂中毒现象引起的配线不良。此外，通过50~200℃的热处理，埋入插塞成为不完全交联状态，不仅降低致密度，而且在膜中残留活性基，所以，在抛光时容易用氧等离子体分解形成槽图形时的化学幅度抗蚀剂，可以很容易利用稀氢氟酸水溶液

基氨系清洗液等除去，所以，在除去时，可以防止对周围造成影响。

附图说明

图1是表示正常配线图形的平面图。

图2是表示用于说明抗蚀剂中毒现象的配线图形的平面图。

5 图3是表示用于说明抗蚀剂中毒现象的配线图形的平面图。

图4是表示根据本发明的实施形式1的电子器件的制造工序的剖面图。

图5是表示根据本发明的实施形式1的电子器件的制造工序的剖面图。

10 图6是表示根据本发明的实施形式1的电子器件的制造工序的剖面图。

图7是表示根据本发明的实施形式1的电子器件的制造工序的剖面图。

15 图8是表示根据本发明的实施形式1的电子器件的制造工序的剖面图。

图9是表示根据本发明的实施形式1的电子器件的制造工序的剖面图。

图10是表示根据本发明的实施形式1的电子器件的制造工序的剖面图。

20 图11是表示根据本发明的实施形式1的电子器件的制造工序的剖面图。

图12是表示根据本发明的实施形式1的电子器件的制造工序的剖面图。

25 图13是表示根据本发明的实施形式1的电子器件的制造工序的剖面图。

图14是表示根据本发明的实施形式1的电子器件的制造工序的剖面图。

图15是说明依赖于孔密度的防反射膜的膜厚偏差的剖面图。

30 图16是表示根据本发明的实施形式1的电子器件的制造工序的变形例的剖面图。

图17是表示根据本发明的实施形式1的电子器件的制造工序的变形例的剖面图。

图18是表示根据本发明的实施形式1的电子器件的制造工序的变形例的剖面图。

图19是表示根据本发明的实施形式1的电子器件的制造工序的变形例的剖面图。

5 图20是表示根据本发明的实施形式2的电子器件的制造工序的剖面图。

图21是表示根据本发明的实施形式2的电子器件的制造工序的剖面图。

10 图22是表示根据本发明的实施形式2的电子器件的制造工序的剖面图。

图23是表示根据本发明的实施形式2的电子器件的制造工序的剖面图。

图24是表示根据本发明的实施形式2的电子器件的制造工序的剖面图。

15 图25是表示根据本发明的实施形式2的电子器件的制造工序的剖面图。

图26是表示根据本发明的实施形式2的电子器件的制造工序的剖面图。

20 图27是表示根据本发明的实施形式2的电子器件的制造工序的剖面图。

图28是表示根据本发明的实施形式2的电子器件的制造工序的剖面图。

图29是表示根据本发明的实施形式2的电子器件的制造工序的剖面图。

25 图30是表示根据本发明的实施形式2的电子器件的制造工序的变形例的剖面图。

图31是表示根据本发明的实施形式3的电子器件的制造工序的剖面图。

具体实施方式

30 <抗蚀剂中毒现象>

在说明发明的实施形式之前，对抗蚀剂中毒现象进行进一步说明。

在具有埋入的多层配线结构的半导体装置中，在大多数情况下，其结构为，在层间绝缘膜与下层的结构之间具有蚀刻阻挡膜、并且在层间绝缘膜上具有上部保护膜。同时，为了抑制伴随着采用多层结构引起的寄生电容的增加，能够进行高速的动作，作为层间绝缘膜，的
5 大多数情况下，使用在氧化硅中引入碳，比一般的氧化硅密度低、介电常数低的低介电常数的层间绝缘膜。

在这种结构中，在形成上部保护膜时、在上部保护膜与低介电常数的层间绝缘膜的界面上，有时会滞留低介电常数的层间绝缘膜的表面分解恶化而生成的副产物，或者，在蚀刻阻挡膜形成时、在蚀刻阻挡膜与低介电常数层间绝缘膜的界面上，有时会滞留低介电常数的层
10 间绝缘膜的表面分解恶化而生成的副产物。在这种情况下，滞留的副产物通过例如防反射膜的固化等的在照相制版过程中进行的加热处理而集中在孔开口部放出。

同时，由于这种副产物包含有碱性成分，所以，会中和在后面的
15 工序中使用的化学放大抗蚀剂内产生的氢离子，使之钝化，成为使抗蚀剂图形的析像不良的抗蚀剂中毒现象的原因。

这里，在图1中表示正常析像的配线图形的平面视图的形状，图2及图3中是表示析像不良时的配线图形的平面视图的形状的例子。

在图1中，隔开一定的间隔平行地配置3条上层配线13，其中，面
20 向图面左端的上层配线13与中央的上层配线13，经由通路(via)接头14与图中未示出的下层配线电连接。

另一方面，当在使用正型化学放大抗蚀剂情况下发生析像不良时，例如，如图2所示，上层配线13会在通路接头14的周边断线，形成不连续的上层配线13a。此外，图中的虚线表示正常形成上层配线时的
25 轮廓。

此外，在使用负型化学放大抗蚀剂的情况下，当发生析像不良时，例如，如图3所示，在配线之间不残留抗蚀剂材料，会形成引起邻接的配线之间电短路的上层配线13b。

此外，对于这些不良的原因，与通孔及接触孔形成时，在孔内壁
30 部分的低介电常数的层间绝缘膜表面上生成的恶化层也有关系。这种恶化层是指，不仅在蚀刻时，而且在之后进行的通过用氧抛光抗蚀剂材料将抗蚀剂去除的工艺时也会形成，直接暴露在蚀刻及抛光中的低

介电常数层间绝缘膜被分解, 变成碳消失、质量变差(缺陷多)的氧化硅的部分。这种恶化层具有吸湿性高, 结构非常不稳定的性质。这种恶化层的存在会进一步加速抗蚀剂的中毒。

<A. 实施形式1>

- 5 下面, 作为根据本发明的实施形式1, 利用图4~图14对于具有多层配线结构的半导体装置100的制造方法, 用依次表示制造工序的剖面图进行说明。此外, 对于半导体装置100的结构, 示于说明最终工序的图14中。此外, 图4~图14所示的剖面图相当于图1的A-A部的剖面图。

<A-1. 制造方法>

- 10 首先, 在图4所示的工序中, 在衬底层(例如硅基板)1的主面内, 配置利用一般的金属镶嵌法形成的下层配线20。这里, 下层配线20通过用塑料膜覆面金属层2覆盖形成于衬垫层1的主面内的槽的内壁面。在用塑料膜覆面金属层2包围的区域埋入用铜等构成的金属配线层3形成。此外, 衬底层1并不局限于硅基板, 只要是氧化硅等层间绝缘膜,
15 哪一种衬底层都适用于本发明。

- 同时, 以覆盖衬底层1的主面的方式配设厚度为50~100nm的蚀刻阻挡膜4。此外, 对于蚀刻阻挡膜4, 采用氮化硅或碳化硅等绝缘材料, 例如, 利用CVD(chemical vapor deposition)法形成。此外, 用绝缘体构成蚀刻阻挡膜4的理由是, 利用蚀刻阻挡膜4防止配线间的电导
20 通造成短路。

- 然后, 在蚀刻阻挡膜4上配置厚度为500~1000nm的主骨架具有硅氧键的低介电常数的层间绝缘膜5。此外, 对于低介电常数层间绝缘膜5, 为了抑制伴随着采用多层配线结构引起的寄生电容的增加、能够高速动作, 使用介电常数在3.0以下的材料, 例如, 使用利用CVD法形成的掺杂碳的SiO膜(也称之为SiOC膜)以及利用涂布法形成的甲基倍半硅氧烷(Methylsilsesquioxane: MSQ)等材料。例如, 甲基倍半硅
25 氧烷用 $\text{H}_2\text{O}(-\text{Si}(\text{CH}_3)_2-\text{O}-)_n\text{OH}$ 表示。此外, 由于SiOC膜具有甲基(CH_3)形式的氢, 所以, 有时也称之为SiOCH膜。

- 同时, 在低介电常数层间绝缘膜5上, 为了防止影响元件特性的物质的侵入、或者防止在制造过程中低介电常数层间绝缘膜5的恶化, 配置厚度为50~100nm的上部保护膜6。对于上部保护膜6, 例如, 使用由
30 CVD法形成的氧化硅膜等, 但有时也利用由氮化硅氧化膜(SiON)等构

成的防反射膜、或者用有机树脂膜构成的防反射膜兼作上部保护膜，具有氮化硅、氧化膜与氧化硅膜的叠层结构。

同时，在上部保护膜6上，通过照相制版形成与下层配线20连接用的通孔用的抗蚀剂图形RM1。抗蚀剂图形RM1是对应于通孔的形成位置的部分成为开口部OP1。

其次，在图5所示的工序中，将抗蚀剂图形RM1作为蚀刻掩模，利用干式蚀刻法，将抗蚀剂图形RM1的对应于开口部OP1部分的上部保护膜6及低介电常数层间绝缘膜5蚀刻掉，形成达到蚀刻阻挡膜4的通孔7。作为这时蚀刻条件，采用不能除去蚀刻阻挡膜4的条件。然后，由利用氧等的等离子体的氧蚀刻（也称作抛光）除去抗蚀剂图形RM1。

然后，在保持通孔7处于开口状态不变的情况下进行300~400℃的退火处理。退火处理时的气氛可以在大气中，氧气气氛中，氮等惰性气体气氛中任何一种气氛中进行。此外，在真空中的退火也是有效的。

此外，退火方法可以采用利用加热板的方法，利用热处理炉的方法中的任何一种方法，为了抑制对制造完毕后的下层配线20的影响，利用加热板进行5分钟至10分钟左右的短时间加热是有效的。

借此，滞留在上部保护膜6与低介电常数层间绝缘膜5的界面上的副产物，以及滞留在蚀刻阻挡膜4与低介电常数层间绝缘膜5的界面上的副产物被放出，可以减少副产物的残留量。

此外，这时，吸附在形成于通孔7的内壁面上的恶化层内的水分也被放出，可以将恶化层的表面状态改性。

此外，为了将通孔7内的恶化层进一步改性，利用六甲基二硅胺烷（Hexamethyldisilazane: HMDS）等硅烷偶合剂等的疏水处理是有效的。借此，同时进行任恶化层的改性剂疏水处理，可以防止在退火后再次吸收水分。

疏水处理的方法可以沿用一般公知的方法，但，例如在使HMDS的情况下，可以用N₂气体等将HMDS发泡使之气化，将加热到100~120℃的状态的基板暴露在HMDS的气氛中进行。

其次，在图6所示的工序中，在基板的整个面上涂布抗蚀剂材料等有机树脂8，在通孔7内也填充有机树脂8。这里，作为有机树脂8，优选地是只用深色紫外光（DUV：波长300nm以下的紫外光，也称作深紫外光）照射固化，之后形成的、在防反射膜形成时以及在抗蚀剂涂布

时不再溶解的材料,例如,使用热塑性酚醛(novolac)树脂及丙烯酸树脂。

其次,在图7所示的工序中,用氧等离子体等蚀刻整个基板表面,至少完全除去上部保护膜6上的有机树脂8。这时,以保持通孔7内填充有机树脂8的状态设定蚀刻条件,但为了防止有机树脂8从通孔7中突出,以及为了将上部保护膜6上的有机树脂8完全除去,以稍稍过蚀刻的方式设定蚀刻条件,所以,在通孔7的上部,即使除去相当于上部保护膜6的厚度的有机树脂8也不会有问题。

例如,考虑到工艺过程的偏差,可以比上部保护膜6的主面后退100~150nm。

此外,完全除去上部保护膜6上的有机树脂8的理由是,在不需要的有机树脂8残留在上部保护膜6上的状态下,当形成后面说明的上层配线形成用的抗蚀剂图形时,防止所述抗蚀剂图形的形状不均匀,并且防止上层配线的精加工形状产生不良情况。但是,如果能够控制得使上部保护膜6上的有机树脂8的厚度为上述抗蚀剂图形的膜厚的5%以下、残留的有机树脂8的厚度与上述抗蚀剂图形的膜厚相比足够薄的话也可以在中途停止有机树脂8的蚀刻。

其次在图8的所示工序中,将DUV光9照射到基板的整个面上,使残留在通孔7内的有机树脂8固化形成埋入插塞81。这里,DUV光9是包含300nm以下的波长的紫外光,作为光源,可以使用一般的高压水银灯。

其次,在图9所示的工序中,在基板的整个面上形成厚度80nm左右的防反射膜18。此外,防反射膜18是为了在照相制版工序中降低半导体基板对照射光的反射率而设置的,例如,可以使用旋转涂布法形成的防反射树脂(BARC: Bottom Anti-Reflection Coating)等。

在形成反射膜18之后,在防反射面18上涂布化学放大抗蚀剂,与通过照相制版,制成具有以后形成的上层配线的配置图形一致的开口部OP2的抗蚀剂图形RM2。

其次,在图10所示的工序中,利用干式蚀刻法除去抗蚀剂图形RM2上对应于开口部OP2的部分的防反射膜18,上部保护膜6,低介电常数层间绝缘膜5以及埋入插塞81,形成将上层配线埋入用的槽图形10。这时,所形成的槽图形10的深度用蚀刻时间调整。

然后,在图11所示的工序中,利用氧等等离子体的氧抛光,除去

残留在埋入通孔7内的埋入插塞81, 上部保护膜6上的防反射膜81, 抗蚀剂图形RM2。

同时, 在图12所示的工序中, 利用蚀刻, 除去露出在通孔7的底部的蚀刻阻挡膜4, 使下层配线20露出。

- 5 其次, 在图13所示的工序中, 例如用溅射法形成的氮化钽构成的厚度20~40nm的塑料膜覆面金属层ML1覆盖槽图形10及通孔7的内壁面, 在被塑料膜覆面金属层ML1包围的区域埋入例如用电镀法堆积的铜构成的金属层ML2。

- 10 最后, 在图14的工序中, 通过利用CMP (Chemical Mechanical Polishing: 化学机械抛光法) 等将残留在上部保护膜6上的不要的塑料膜覆面金属层ML1及金属层ML2除去, 在获得由塑料膜覆面金属层21及金属层31构成的上层配线13的同时, 将塑料膜覆面金属层21及金属层31埋入通孔7内, 可以获得通路接头14。此外, 由于通路接头14连接到下层配线20上, 所以, 达到上层配线13与下层配线20的电连接。经过上述工序, 可以获得埋入多层配线结构的半导体装置100。

- 20 此外, 塑料膜覆面金属层ML1并不局限于氮化钽, 可以选择相对于用于金属层ML2的金属成为阻挡层的材料, 例如, 氮化钛, 氮化钨, 氮硅化钛等材料构成的适当材料, 此外, 并不局限于一种材料, 也可以将多种材料组合。此外, 形成方法也不局限于溅射法, 也可以使用CVD法。此外, 根据金属层ML2的材质, 塑料膜覆面金属层ML1有时也并不是必须的。此外, 作为金属层ML2, 也可以代替铜, 通过埋入钨, 铂, 钌, 金等导电体材料, 形成上层配线13及通路接头14。

<A-2. 作用及效果>

- 25 如上面说明的, 根据实施形式1的半导体装置的制造方法, 在主骨架具有硅氧键的低介电常数的层间绝缘膜5上形成通孔7之后, 通过在300~400℃下进行退火处理, 放出滞留在上部保护膜6与低介电常数层间绝缘膜5的界面上的副产物, 或者滞留在蚀刻阻挡膜4与低介电常数层间绝缘膜5的界面上的副产物, 可以减少副产物的残留量。因此, 可以防止为了形成埋入上层配线用的槽图形10所使用的化学放大抗蚀剂的钝化, 并防止成为抗蚀剂图形的析像不良的原因的抗蚀剂中毒现象的发生。其结果是, 抑制抗蚀剂图形的析像不良的发生, 可以获得具有降低因析像不良引起的不良配线发生的埋入多层配线结构的半导
- 30

体装置。

此外，这时，吸附在形成与通孔7的内壁面上的恶化层上的水分也被放出，可以对恶化层的表面状态进行改性，所以，可以防止由于恶化层的存在而加速抗蚀剂中毒的现象。

- 5 进而，为了进一步对通路7内的恶化层进行改性，通过用六甲基二硅胺烷等硅烷偶合剂等进行疏水处理，可以防止退火后的水分再吸收，可以更可靠地防止抗蚀剂中毒现象。

- 此外，由于将主骨架具有硅氧键的低介电常数的绝缘膜（称之为Low-k材料）作为低介电常数层间绝缘膜5使用，所以，可以和氧化硅膜同时使用干式蚀刻法。此外，主骨架具有硅氧键的绝缘膜与作为Low-k材料的其它有机树脂相比，耐热性优异，机械强度高，所以，适合于层间绝缘膜。进而，由于对氧等离子体的抗蚀剂抛光具有耐受性，所以，可以使用氧抛光除去抗蚀剂。进而，由于可以利用旋转涂布法及等离子体CVD法形成，所以，形成方法的选择幅度很宽。此外，由于15 六甲基二硅胺烷不溶解于氢氟酸，所以，可以确保与硅氧化膜的选择性。

- 此外，在通孔7内填充利用DUV光9固化的有机树脂8，使之固化形成埋入插塞81，在这种状态下，由于形成防反射膜18等，所以，可以降低依存于照相制版时的通孔密度的防反射面的膜厚的偏差。对于其20 效果，用图15进一步进行说明。

图15是表示不使用埋入插塞81、形成防反射膜18的状态的剖面图，对于和图14所示的半导体装置100相同的结构赋予相同的标号，省略其重复说明。

- 在图15中，表示通孔7的配置密度不同的状态，在面向该图在右侧25 的区域，多个通孔7密集，在左侧的区域，一个通孔7孤立。当涂布防反射剂时，防反射剂被吸入通孔7内，在通孔7密集的区域，吸入通孔7内的单位面积的防反射剂的量多，防反射膜18的厚度成为D2。另一方面，在通孔7不密集的区域，吸入通孔7内的单位面积的防反射剂的量少，防反射膜18的厚度成为D1（ $D1 > D2$ ）。从而，防反射膜的膜厚产生30 偏差，通过将埋入插塞81填充到通孔7内，可以抑制吸入通孔7内的单位面积的防反射剂的量因通孔7的配置密度不同产生的差异，可以降低防反射膜的膜厚的偏差。此外，通过均匀地形成防反射膜，可以在基

板的整个区域内确保从通孔7至抗蚀剂图形RM2的距离恒定,可以防止通孔7内的恶化层的影响及副产物的影响因部位而不同。此外,作为其结果,可以缩小配线厚度的偏差。

5 这里,由于在埋入插塞81中没有必要具有防反射功能,所以,材质的选择自由度高,但当使用通过高温加热处理而热固化的树脂时,由于通过这种热处理引发副产物的放出而导致抗蚀剂中毒现象,所以,必须是只用DUV光的照射固化的树脂。

此外,为了形成埋入上层配线用的槽图形10,与低介电常数层间绝缘膜5一起用蚀刻法除去埋入插塞81,所以,更优选地,采用具有和10 低介电常数绝缘膜5相同程度或高于它的蚀刻速度的材料。

此外,与不使用埋入插塞81,直接涂布限定种类的防反射剂的情况相比,作为埋入插塞81的材质,由于从各种树脂中选择通孔7的埋入能力高,并同时具有抑制副产物扩散的特性的树脂即可,所以可以扩大材料选择幅度,可以扩大半导体装置的结构的选择幅度。

15 此外,在上部保护膜6上使用由硅氮化氧化膜等无机材料构成的具有防反射功能的膜的情况下,有时在上层配线图形的照相制版时,也保持防反射功能,可以省略上述防反射膜18的涂布,但是,不言而喻,在这种情况下,本质上也可以获得与上述同样的效果。

<A-3. 变形例>

20 在以上说明的根据本发明的实施形式1的半导体装置的制造方法中,描述了用有机树脂形成埋入插塞81的结构,但如下面用图16~图19所说明的,代替有机树脂,也可以使用氢倍半硅氧烷(Hydrogensilsesquioxane: HSQ)等的SOG(Spin on Glass)材料。

25 即,经过与用图4及图5说明的工序相同的工序,形成贯穿低介电常数层间绝缘膜5达到蚀刻阻挡膜4的通孔7。

然后,在图16所示的工序中,以100~200nm的厚度在整个基板面上涂布SOG材料,形成SOG膜16。这时,将SOG材料也填充到通孔7内。同时,在50~200℃的温度范围内,进行10分钟以下、优选地为1~2分钟的热处理,使含在SOG膜16内的溶媒挥发,同时,使之进行弱的交30 联反应,防止在后面的工序中涂布抗蚀剂时再次溶解。在该工序之后,将通孔7内的SOG膜16称作埋入插塞161。

此外,这时,在高温下进行长时间的热处理时,进行SOG材料的交

联反应, SOG膜变得致密, 产生难以除去等障碍, 所以, 优选地, 热处理在不会再次溶解的程度下, 尽可能在低温并且在上述短时间(1~2分钟)进行。然后, 通过利用碳氟系蚀刻剂进行全面的蚀刻, 除去上部保护膜6上的SOG膜16。

- 5 此外, 由于在利用碳氟系的蚀刻系的蚀刻中, SOG膜难以确保与上部保护膜6的选择比, 所以, 优选地, 以不将上部保护膜6上的SOG膜6完全除去、在除去到规定的厚度的时刻停止蚀刻的方式设定蚀刻条件。或者, 也可以作为对于SOG膜6不除去的结构。

其次, 在图17所示的工序中, 在SOG膜16上涂布化学放大抗蚀剂, 10 通过照相制版, 形成具有与以后形成的上层配线的配置图形一致的开口部OP11的抗蚀剂图形RM11。

其次, 在图18所示的工序中, 通过干式蚀刻法除去抗蚀剂图形RM11上对应于开口部OP11的部分的SOG膜16, 上部保护膜6, 低介电常数层间绝缘膜5以及通孔7内的埋入插塞161, 形成埋入上层配线用的槽图形 15 10。这时, 形成的槽图形10的深度通过蚀刻时间进行调整。

然后, 在图19所示的工序中, 通过使用氧等离子体的氧抛光除去抗蚀剂图形RM11。这时, 以残留通孔7内埋入的插塞161的方式设定条件, 但在通孔7的上部, 即使除去一定程度的埋入插塞161也没有问题。

然后, 通过几乎没有蚀刻药液, 例如用稀释到水与氢氟酸的比例 20 为100比1以上的稀氢氟酸水溶液及氨清洗液等除去通孔7内的埋入插塞161、上部保护膜6上的SOG膜16。

下面, 通过经过用图12~图14说明的工序可以获得半导体装置 100。

上面说明的用氢倍半硅氧烷构成的埋入插塞161具有疏水性, 此外, 25 由于与利用有机树脂作为插塞时相比, 具有抑制副产物经由通孔7扩散的特性, 所以, 可以更有效地防止因抗蚀剂中毒引起的配线不良。

此外, 埋入插塞161不仅由于不完全交联而致密底低, 而且在膜中残留活性基, 所以, 在抗蚀剂图形RM11的抛光时容易被氧等离子分解, 30 容易用上述稀氢氟酸基氨系清洗液等除去, 所以, 在除去时, 可以防止对周围产生影响。

此外, 作为形成埋入插塞161用的SOG材料, 也可以采用甲基倍半

硅氧烷 (MSQ) 与氢化倍半硅氧烷 (HSQ) 进行化学键混合, MSQ的一部分的甲基 (CH_3) 置换成氢的结构材料。

<B. 实施形式2>

下面, 作为根据本发明的实施形式2, 利用图20~图29对于具有多层配线结构的半导体装置200的制造方法, 用依次表示制造工序的剖面图进行说明。此外, 对于半导体装置200的结构, 示于说明最终工序的图29中。此外, 对于与图1~图14所示的结构相同的结构, 赋予相同的标号, 省略其重复说明。

<B-1. 制造方法>

10 首先, 在图20所示的工序中, 在绝缘体的蚀刻阻挡膜4上, 例如, 配置厚度为200~1000nm的主骨架具有硅氧键的低介电常数的层间绝缘膜51。此外, 对于低介电常数的层间绝缘膜51, 例如使用由CVD法形成的掺杂碳的 SiO 膜以及用涂布法形成的甲基倍半硅氧烷 (MSQ) 等材料。

15 同时, 以覆盖低介电常数的层间绝缘膜51的主面的方式配置厚度为50~100nm的蚀刻阻挡膜41。此外, 对于蚀刻阻挡膜41, 使用氮化硅及碳化硅等材料, 例如用CVD法形成。

在蚀刻阻挡膜41上, 进一步配置例如厚度为200~1000 nm的主骨架具有硅氧键的低介电常数的层间绝缘膜52, 在低介电常数的层间绝缘膜52上配置厚度50~100nm的上部保护膜6。此外, 低介电常数的层间绝缘膜51及52的厚度与必要的元件结构一致地设定, 上述值是基准值。例如, 优选地, 低介电常数的层间绝缘膜51的厚度按照规定的上下配线间的空间设定, 低介电常数的层间绝缘膜52的厚度设定成相当于后面形成的上层配线的厚度。

25 同时, 在上部保护膜6上, 利用照相制版形成抗蚀剂图形RM1, 用于形成与下层配线20连接的通孔。抗蚀剂图形RM1是对应于通孔形成位置的部分成为开口部OP1, 使用化学放大抗蚀剂。

其次, 在图21所示的工序中, 将抗蚀剂图形RM1作为蚀刻掩模, 利用干式蚀刻法, 将抗蚀剂图形RM1上对应于开口部OP1的部分的上部保护膜6及低介电常数层间绝缘膜52蚀刻掉, 进而, 以可以除去蚀刻阻挡膜41的方式改变蚀刻条件, 除去蚀刻阻挡膜41, 再改变蚀刻条件, 蚀刻低介电常数层间绝缘膜51, 形成达到蚀刻阻挡膜4达到通孔7。作为

- 这时的蚀刻条件，采用不除去蚀刻阻挡膜4的条件。此外，通过恰当地选择蚀刻条件，能够连续地在一个条件下加工低介电常数层间绝缘膜52、蚀刻阻挡膜41及低介电常数层间绝缘膜51。在这种情况下，优选地，改变蚀刻阻挡膜4露出前的条件，进行确保选择比等的调整。然后，
- 5 通过利用氧等的等离子体的氧抛光，除去抗蚀剂图形RM1。

之后，在通孔7处于开口状态不变的情况下，在300~400℃下进行退火处理。

- 借此，滞留在上部保护膜6与低介电常数层间绝缘膜52的界面、低介电常数层间绝缘膜51及52与蚀刻阻挡膜41的界面、以及蚀刻阻挡膜4
- 10 与低介电常数层间绝缘膜51的界面上的副产物被放出，可以减少副产物的残留量。

此外，这时，吸附在形成于通孔7的内壁面上的恶化层上的水分也被放出，可以将恶化层的表面状态改性。此外，不言而喻，也可以利用六甲基二硅胺烷（HMDS）等硅烷偶合剂等进行疏水处理。

- 15 其次，在图22所示的工序中，在基板的整个面上涂布抗蚀剂材料等有机树脂8，在通孔7内也填充有机树脂8。

其次，在图23的工序中，利用氧等离子体等蚀刻整个基板面，至少将上部保护膜6上的有机树脂8完全除去。这时，以保持有机树脂8填充到通孔7内的状态的方式设定蚀刻条件。

- 20 其次，在图24所示的工序中，用DUV光9照射整个基板面，使通孔7内残留的有机树脂8固化而形成埋入插塞81。这里，DUV光9是包含300nm以下的波长的紫外光，作为光源，可以使用一般的高压水银灯。

其次，在图25所示的工序中，在整个基板面上形成厚度为80nm左右的防反射膜18。

- 25 在形成防反射膜18之后，在防反射面18上涂布抗蚀剂材料，通过照相制版，形成具有与后面形成的上层配线的配置图形一致的开口部OP2的抗蚀剂图形RM2。

- 其次，在图26所示的工序中，利用干式蚀刻法，除去抗蚀剂图形RM2上对应于开口部OP2d部分的防反射膜18，上部保护膜6，低介电常数层间绝缘膜52，蚀刻阻挡膜41及埋入插塞81，形成埋入上层配线用的槽图形10。这时，形成的槽图形10的深度，基本上由低介电常数层间绝缘膜52的厚度决定。
- 30

然后,在图27所示的工序中,通过利用氧等的等离子体的氧抛光,除去残留在通孔7内的插塞81,上部保护膜6上的防反射膜18,以及抗蚀剂图形RM2。

同时,在图28所示的工序中,通过蚀刻,除去露出在通孔7的底部
5 的蚀刻阻挡膜4,使下层配线20露出。

其次,用塑料膜覆面金属层覆盖槽图形10及通孔7的内壁面,在用塑料膜覆面金属层包围的区域内埋入用铜构成的金属层。同时,在图29所示的工序中,通过除去残留在上部保护膜6上的不要的塑料膜覆面金属层及金属层,在获得用塑料膜覆面金属层21和金属层31构成的上层配线13的同时,也将塑料膜覆面金属层21和金属层31埋入通孔7内,
10 可以获得通路接头14。经过以上工序,可以获得埋入多层配线结构的半导体装置200。

<B-2. 作用及效果>

如上面说明的,根据实施形式2的半导体装置的制造方法,与实施
15 形式1的半导体装置的制造方法同样,可以抑制抗蚀剂图形的析像不良的发生,获得具有降低因析像不良引起的不良配线的发生的埋入多层配线结构的半导体装置。

此外,通过在低介电常数层间绝缘膜的中间设置蚀刻阻挡膜41,在形成用于埋设上层配线的槽图形10时,由于蚀刻中止于蚀刻阻挡膜
20 41,所以,可以自调整地规定槽图形10的深度,不必严格地控制蚀刻时间,简化制造工艺。

<B-3. 变形例>

在上面说明的根据本发明的实施形式2的半导体装置的制造方法中,列举了在低介电常数层间绝缘膜的中间设置蚀刻阻挡膜41的结
25 构,但通过将层间绝缘膜制成种类不同的两层结构,也可以获得同样的效果。

即,在图30所示的半导体装置300中,在蚀刻阻挡膜4上配置由氧化硅膜构成的层间绝缘膜50,在其上配置主骨架具有硅氧键的低介电常数的层间绝缘膜52。此外,低介电常数的层间绝缘膜52的厚度设定
30 成相当于后面形成的上层配线的厚度。

其结果是,利用低介电常数的层间绝缘膜52与层间绝缘膜50,获得大的蚀刻选择比,在形成埋入上层配线用的槽图形10时,由于蚀刻

由层间绝缘膜50中止，所以，可以自调整地规定槽图形10的深度，不必严格地控制蚀刻时间，简化制造工艺。

<C. 实施形式3>

在上面说明的根据本发明的实施形式1及2的半导体装置的制造方法中，作为配置在衬底层1上的蚀刻阻挡膜4，列举了使用氮化硅及碳化硅的例子，但由于它们比氧化硅的介电常数高，所以，优选地使之尽可能地薄，而根据通孔的蚀刻条件，为了充分发挥作为蚀刻阻挡膜的功能，有时，膜厚不能薄到一定厚度以下。

在这种情况下，如图31所示的半导体装置400那样，通过与比蚀刻阻挡膜4的介电常数低的其它材料组合制成多层蚀刻阻挡膜，在保持有效介电常数低不变的情况下，可以保持蚀刻的阻止功能以及作为保护膜的功能。

即，在图31所示的半导体装置400中，在衬底层1上，例如，配置由碳化硅构成的蚀刻阻挡膜4，在蚀刻阻挡膜4上配置由厚度为50nm左右的氧化硅构成的蚀刻阻挡膜17，形成双层结构。此外，在图31中，对于和图14所示的半导体装置100相同的结构赋予同一个标号，省略其重复说明。

不言而喻，在图29所示的半导体装置200的结构以及图30所示的半导体装置300的结构中，也可以组合上述结构。

此外，在实施形式1~3中，对形成将上层配线 and 下层配线连接起来的接头的情况作为例子进行了说明，但是，不言而喻，本发明对于连接半导体基板内的杂质层与上层配线等的接触孔也同样适用。

<4. 向电子器件中的应用>

在上面说明的实施形式1~3中，以半导体装置作为例子进行了说明，但本发明的应用并不局限于半导体装置，在具有多层配线结构、形成配线间的连接用的结构时，利用化学放大抗蚀剂的电子器件，例如磁头及激光二极管，光电二极管，传感器等的制造当中也是适用的。

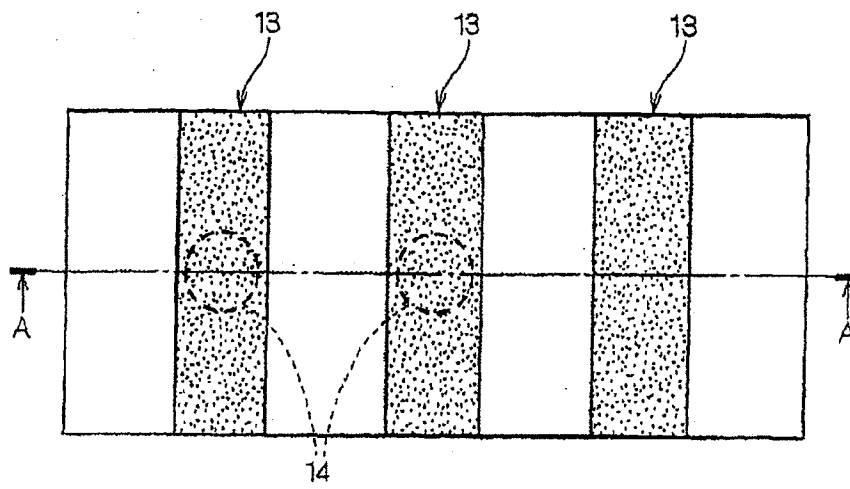


图 1

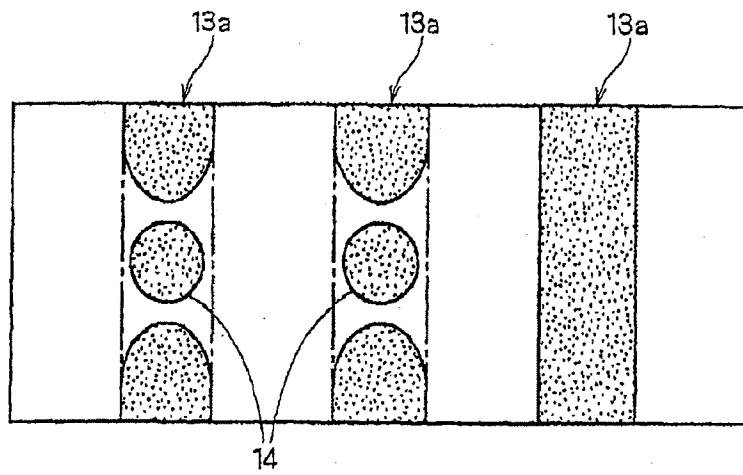


图 2

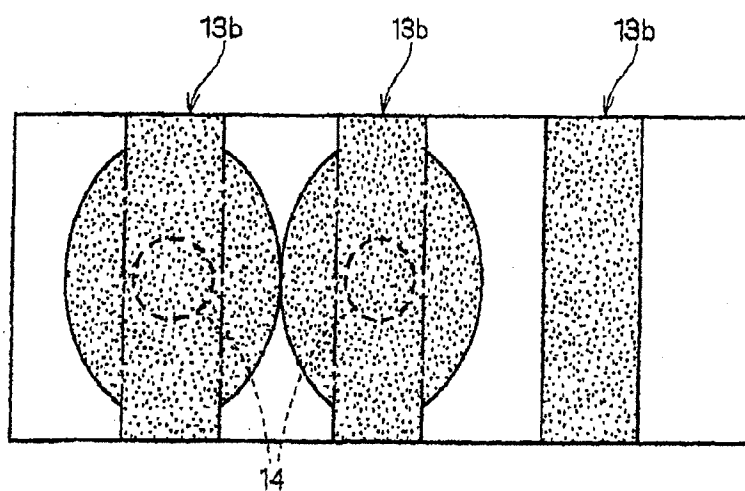


图 3

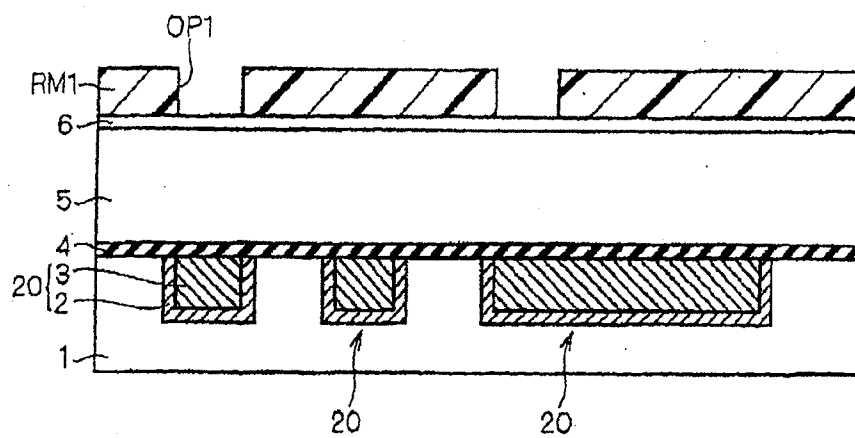


图 4

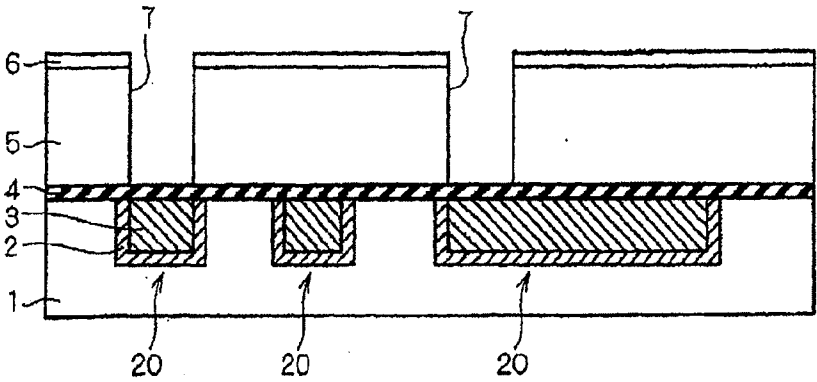


图 5

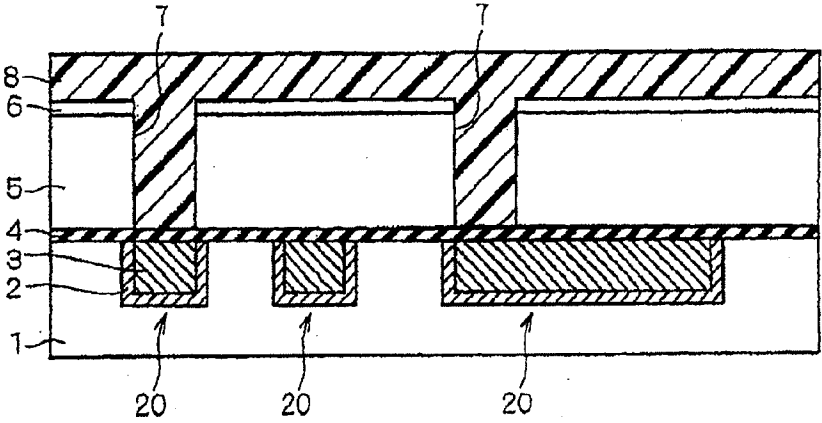


图 6

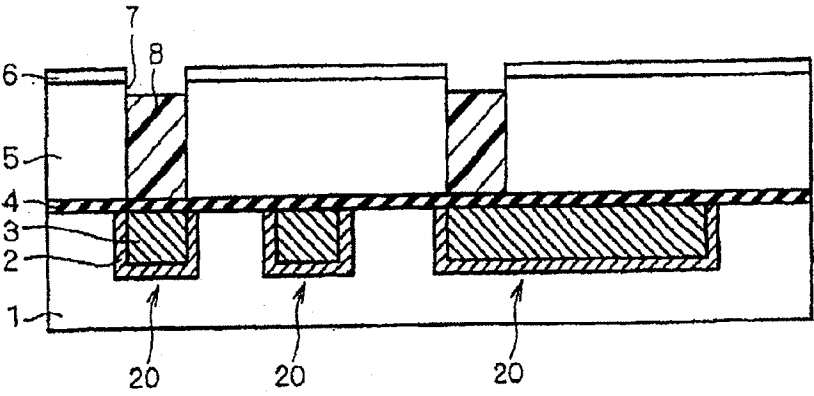


图 7

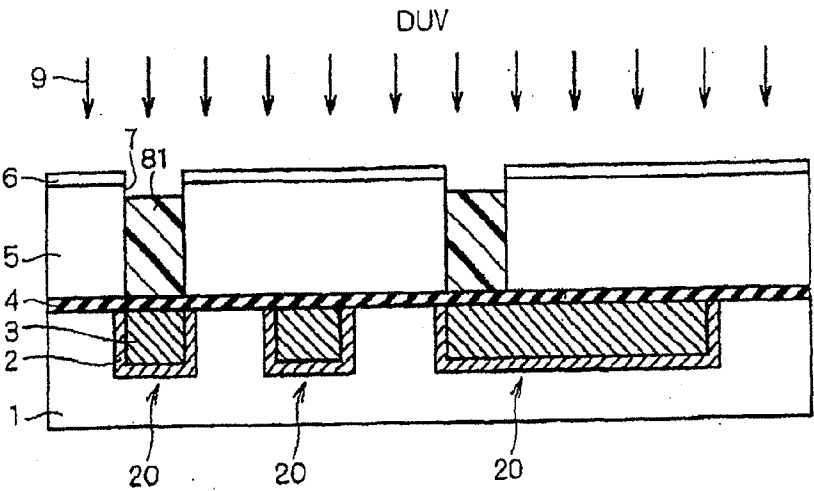


图 8

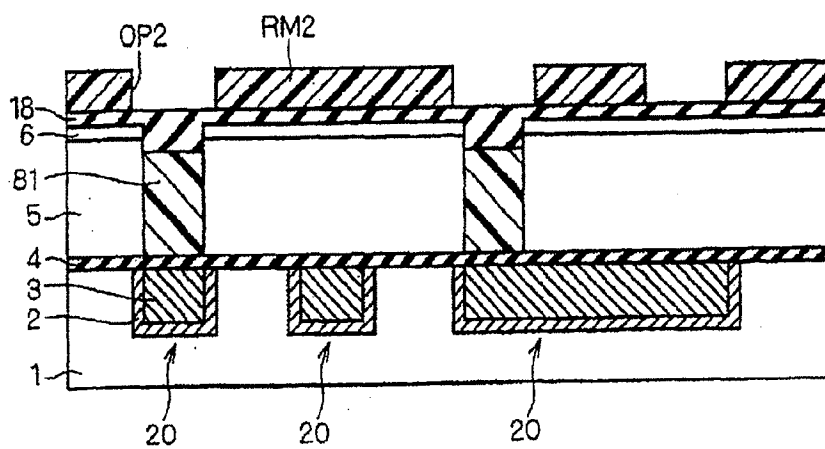


图 9

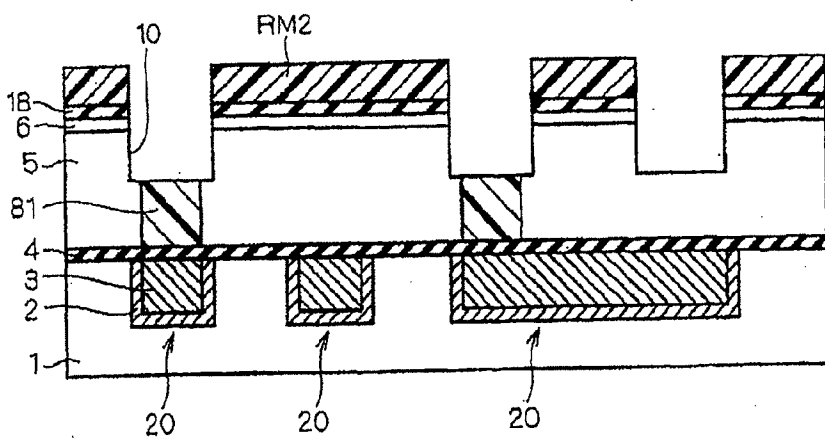


图 10

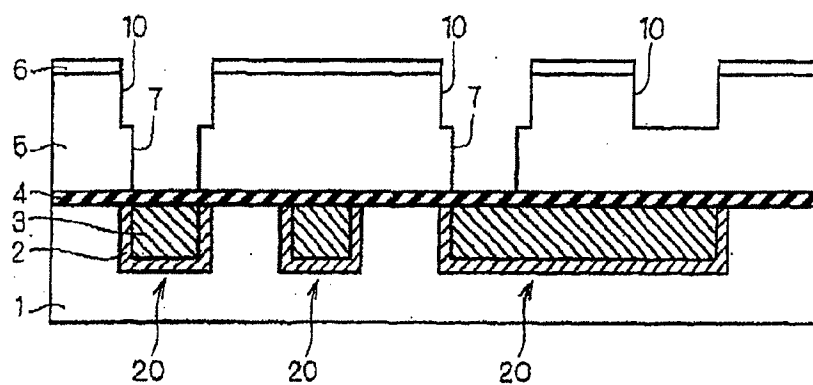


图 11

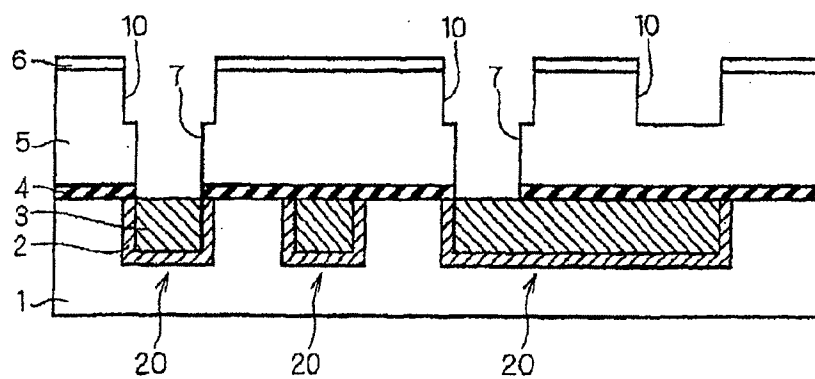


图 12

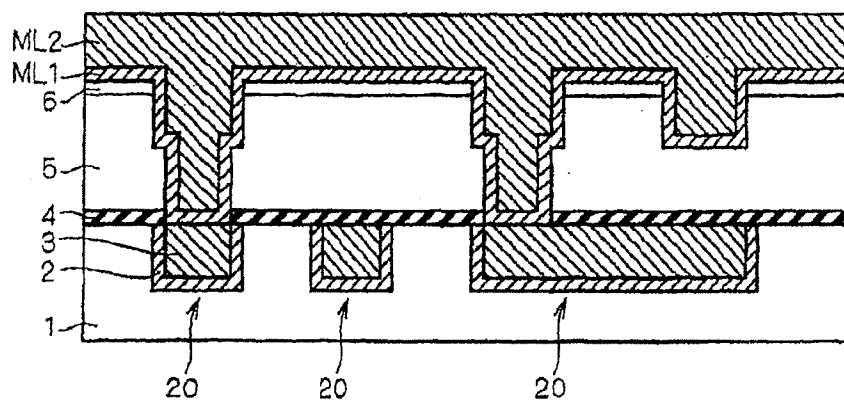


图 13

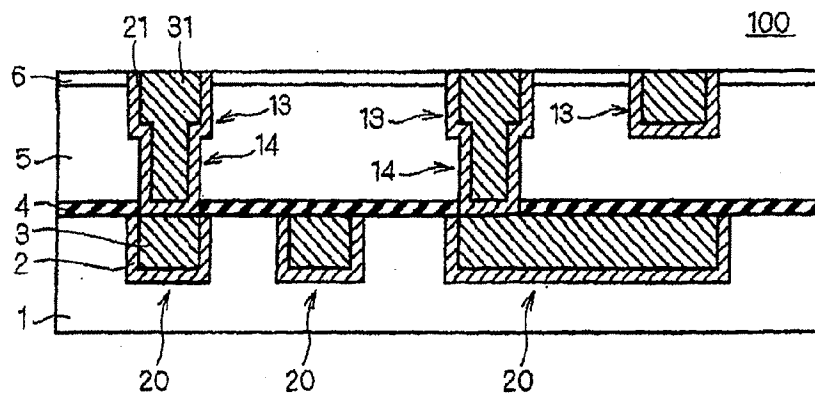


图 14

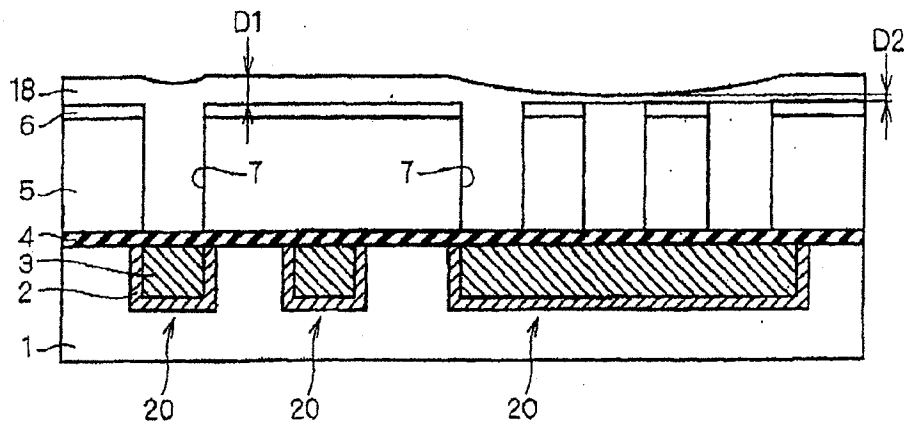


图 15

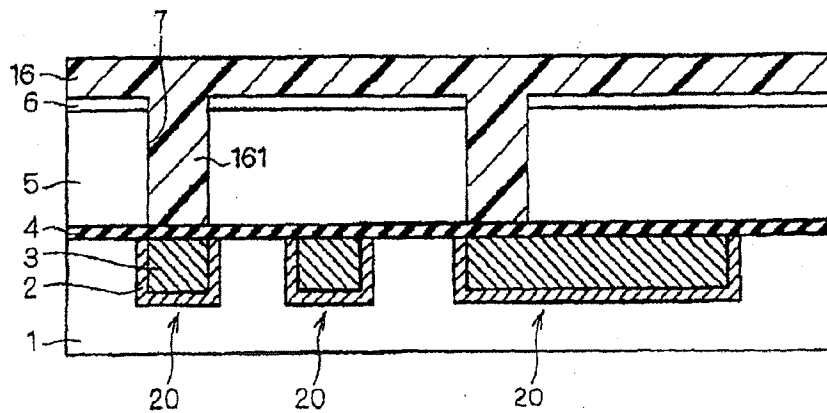


图 16

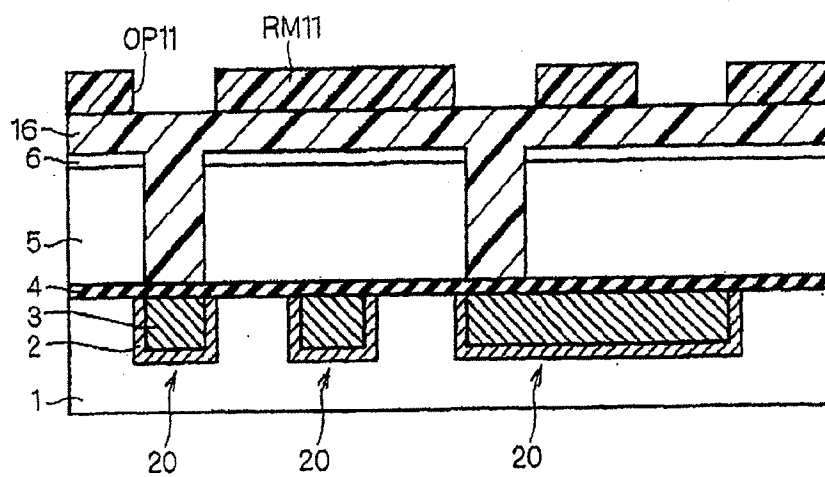


图 17

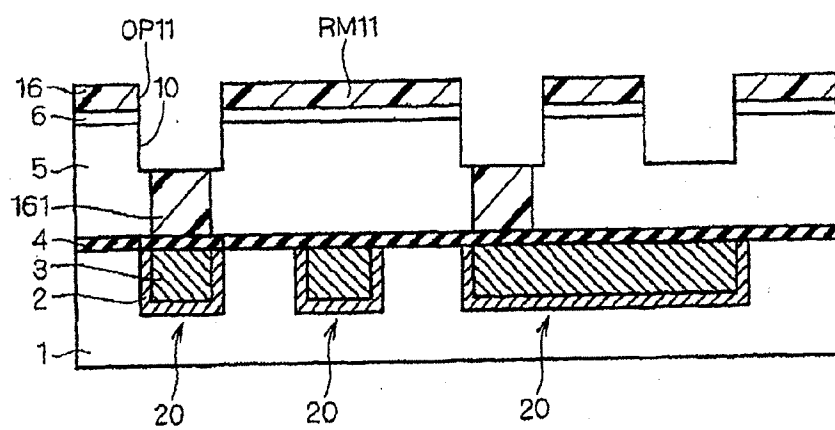


图 18

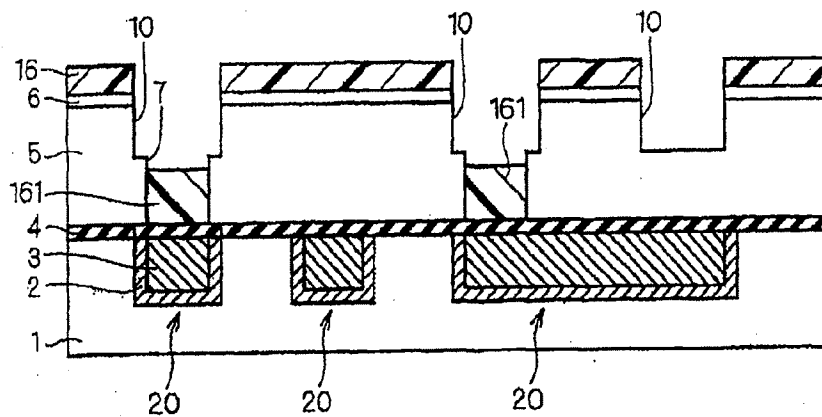


图 19

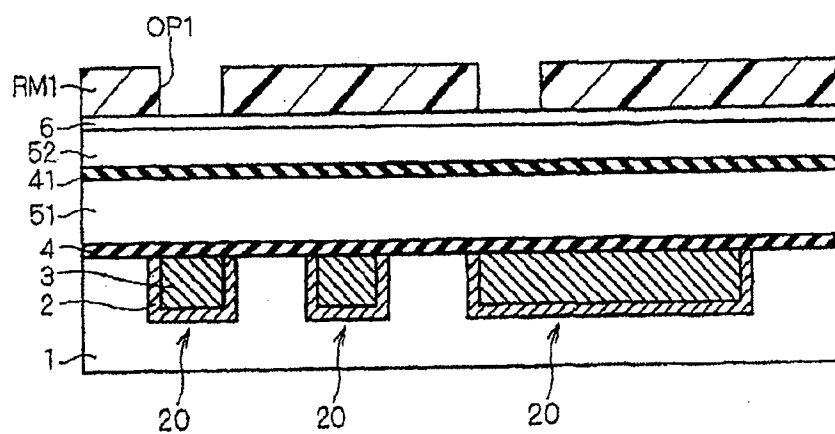


图 20

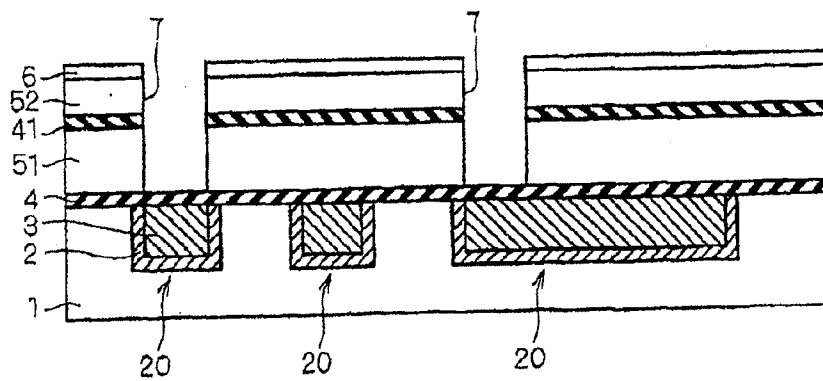


图 21

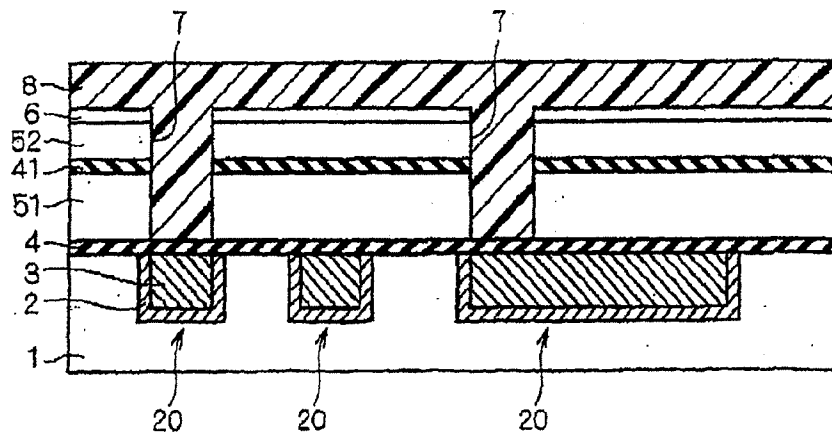


图 22

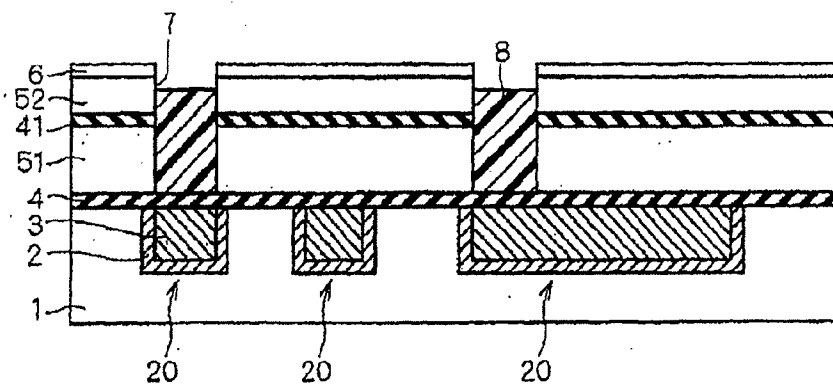


图 23

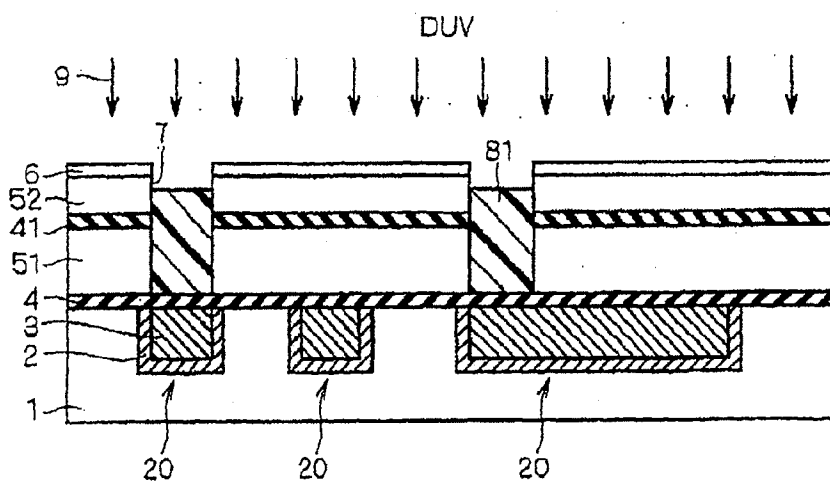


图 24

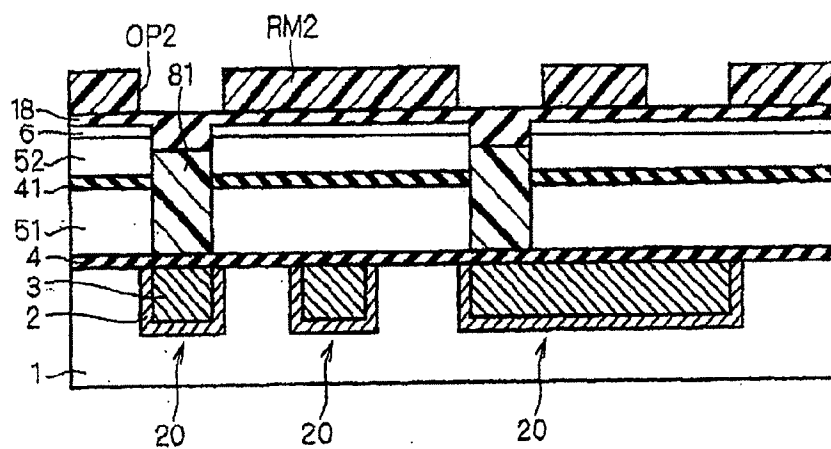


图 25

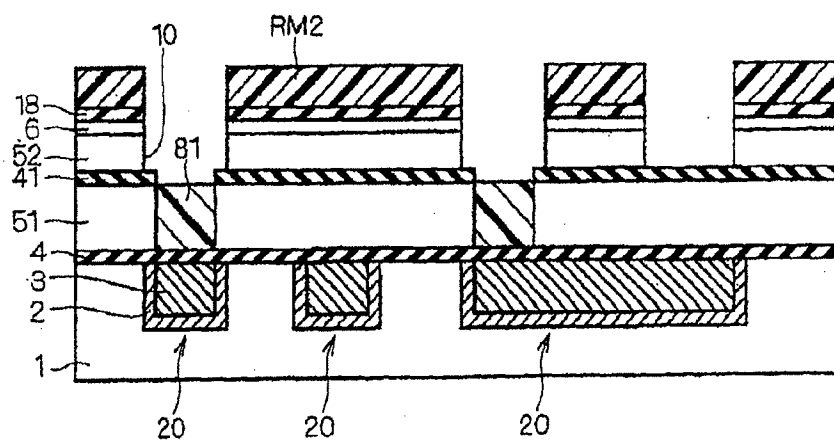


图 26

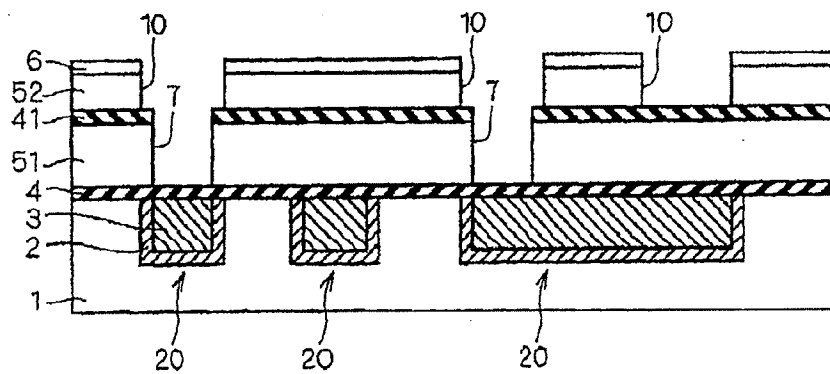


图 27

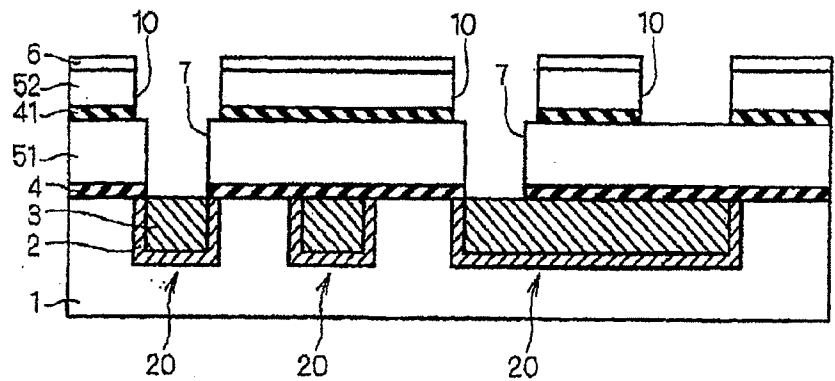


图 28

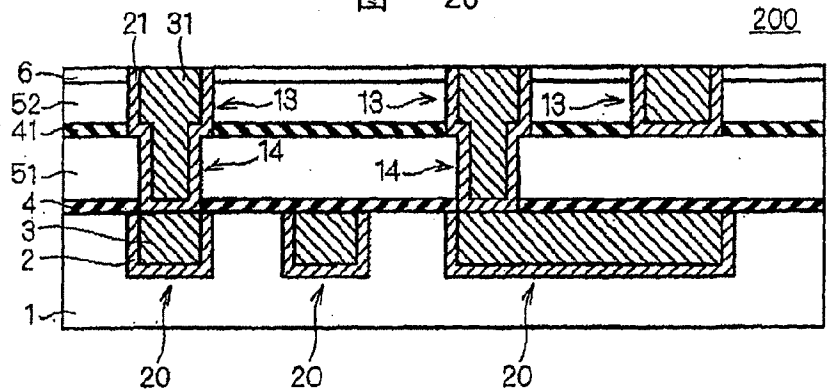


图 29

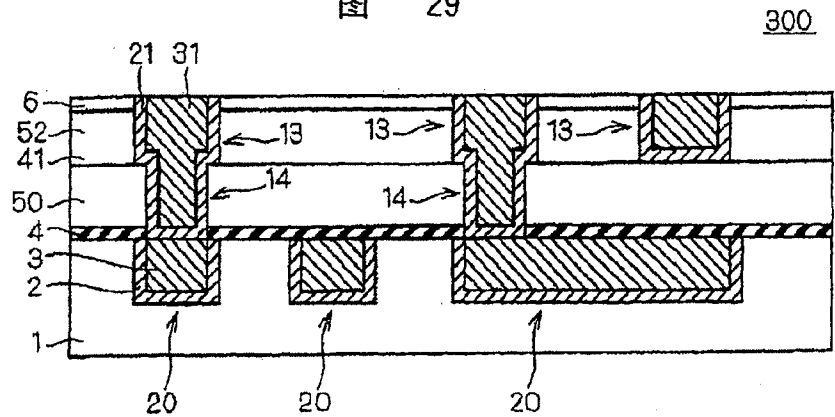


图 30

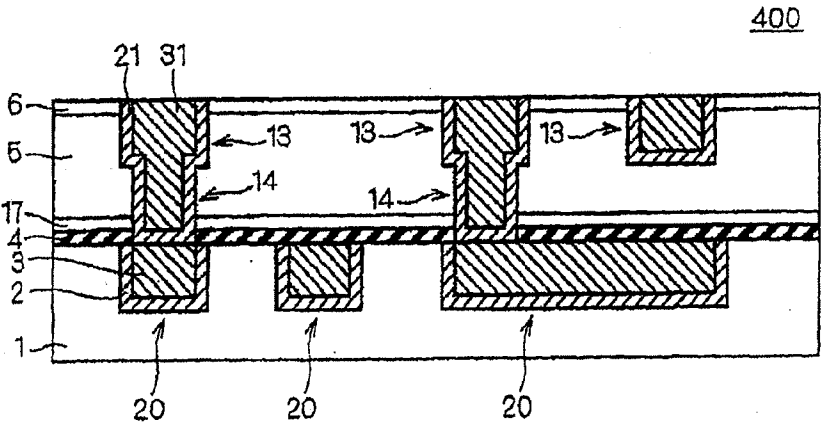


图 31